

SEMICONDUCTOR PROCESSING METHOD

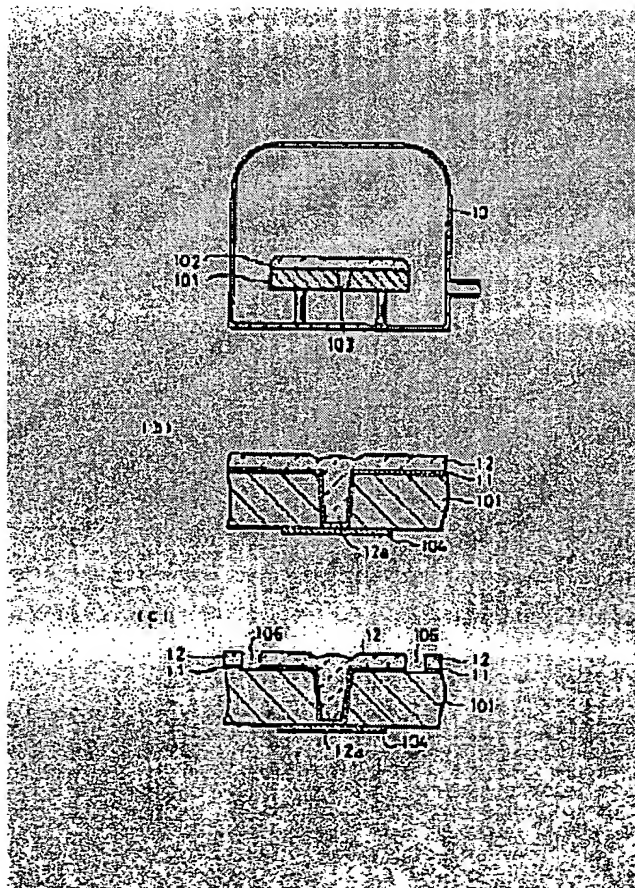
Patent number: JP4165361
Publication date: 1992-06-11
Inventor: MIYAUCHI MASAYOSHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G03F7/16; G03F7/26; H01L21/027; G03F7/16;
G03F7/26; H01L21/02; (IPC1-7): G03F7/16; G03F7/26;
H01L21/027
- european:
Application number: JP19900292691 19901030
Priority number(s): JP19900292691 19901030

Report a data error here

Abstract of JP4165361

PURPOSE:To remove bubbles generating in a recessed part to prevent photoresist from bad coating to the recessed part by exhausting a semiconductor base plate in a vacuum atmosphere next to a surface coating process or a base plate rotating process.

CONSTITUTION:A surface electrode 104 is connected to a back surface electrode 11 a via hole 103 and earthed. Therefor, photoresist liquid 12 is dropped to the surface of a semiconductor base plate 101 which, after coating the surface, is housed in a vacuum vessel 10, and gas is exhaust. Bubbles in the via hole 103 are removed by this exhaustion, the hole is filled with photoresist, still more the semiconductor base plate 101 is rotated at high speed, and photoresist coating flattened in the surface is formed. Next, baking is applied to form a hardened photoresist layer 12, and the inside of the via hole is filled with the hardened photoresist layer 12a. Since etching is applied to the back surface electrode 11 to form scribe lines 106, and the inside of the via hole 103 is filled with photoresist 12a, the back electrode 11 in the via hole 103 is not etched.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平4-165361

⑪ Int. Cl.⁵G 03 F 7/16
7/26
H 01 L 21/027

識別記号

5 0 2

庁内整理番号

7818-2H
7124-2H

⑬ 公開 平成4年(1992)6月11日

7352-4M H 01 L 21/30 3 6 1 D

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体処理方法

⑮ 特 願 平2-292691

⑯ 出 願 平2(1990)10月30日

⑰ 発 明 者 官 内 正 義 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 大 胡 典 夫

明 細 書

1. 発明の名称

半導体処理方法

2. 特許請求の範囲

半導体基板の領域の一部に開孔または凹部を形成する工程と、前記半導体基板上にホトレジストを滴下しその表面を被覆する工程と、前記半導体基板を回転させホトレジスト膜厚を所定の値にする工程と、前記表面被覆工程または基板回転工程に次いで半導体基板を真空雰囲気にて排気する工程を含むことを特徴とする半導体処理方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は半導体処理方法に係り、特にホトレジストの回転塗布方法の改良に関する。

(従来の技術)

一般に、半導体基板表面にホトレジスト層を被着する場合、半導体基板上にホトレジスト液を滴下し、半導体基板を高速回転することで均一な

厚みのホトレジスト層を被着形成できる。また、半導体基板表面に凸凹状がある場合には、高粘度のホトレジスト液を滴下し低速回転させることで同様に均一な厚みのホトレジスト層を形成できる。しかしながら、凹部の開孔が微細な場合や開孔部の段差が大きい場合に、上記従来方法によりホトレジスト層を塗布しようとする、この凹部内をホトレジストで充填出来なくなる事があった。この事情を第2図(a)~(c)に示すパイアホール(開孔径 $\sim 70\mu\text{m}$ 深さ $100\sim 150\mu\text{m}$)が形成された半導体基板上にホトレジストを塗布する場合について説明する。

パイアホール103を介して裏面電極104を接地するための裏面電極105が全面に形成された半導体基板101上にホトレジスト102を滴下し、3000rpmで回転塗布した後、100℃で30min半導体基板101をベーキングすると硬化したホトレジスト層が形成される。しかしながら回転塗布工程に於いてパイアホール103内に気泡が入るため、パイアホール内をホトレジストで充填することが困難になる

(第2図(a))。また、引き続き100℃で30minのベーキング工程においてバイアホール103上のホトレジスト層がバイアホール内に生じた気泡の膨脹により破裂し、その結果バイアホール部のホトレジストに塗布むらが生じる(第2図(b))。マスク合わせを行いスクライブライン領域106のホトレジストを除去した後、裏面電極105のエッチングを行うが、このようにバイアホールにホトレジストの塗布むらが生じた状態ではバイアホール103内の裏面電極105もエッチングされるため、表面電極104の接地が出来なくなる問題があった(第2図(c))。この問題はバイアホール103の断面形状が逆テーパになることより顕著になる。

(発明が解決しようとする課題)

以上述べたように、従来のホトレジスト塗布方法では微細な凹部を有する半導体基板表面にホトレジストを塗布する場合、凹部内に気泡が生じることを避けることができず、このため、均一にホトレジスト塗布が出来なくなる問題があった。

本発明は上記の問題点を除去する半導体処理方

して説明する。

第1図(a)~(c)にバイアホールが形成された半導体基板上にホトレジストを塗布、被着する場合について説明する。上記バイアホール103は一例として開孔径 $\sim 70\mu\text{m}$ 、深さ $100\sim 150\mu\text{m}$ になり、このバイアホールを介して表面電極104が裏面電極11に接続し接地されるものである。このために、半導体基板101の表面にホトレジスト液12を滴下し表面を被覆した後、真空容器10内に収納し排気する(第1図(a))。

上記排気によりバイアホール103内の気泡が除去されてホトレジストで充填される。さらに半導体基板101を高速回転(一例の3000rpm)させ表面が平坦化されたホトレジスト被膜が形成される。次いでベーキングを一例の100℃、30分間施し、硬化したホトレジスト層12となり、バイアホール内には硬化したホトレジスト層12aで充填される(第1図(b))。マスク合わせを施しスクライブライン領域106のホトレジストを除去した後、裏面電極11にエッチングを施してスクライブライン106が

法を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明の半導体処理方法は、半導体基板の領域の一部に開孔または凹部を形成する工程と、前記半導体基板上にホトレジストを滴下しその表面を被覆する工程と、前記半導体基板を回転させホトレジスト膜厚を所定の値にする工程と、前記表面被覆工程または基板回転工程に次いで半導体基板を真空雰囲気にて排気する工程を含むことを特徴とする。

(作用)

本発明に係る処理方法に於いては、表面被覆工程または基板回転工程に次いで半導体基板を真空雰囲気にて排気することにより凹部内に生じる気泡を除去することが可能となり、このため凹部にホトレジストを充填することが出来、凹部のホトレジスト塗布不良を防止出来る。

(実施例)

以下、本発明の一実施例について図面を参照

形成される。このとき、バイアホール103内がホトレジスト12aで充填されているため、バイアホール103内の裏面電極11がエッチングされない。従って、従来の方法により生じていた裏面電極105のエッチングによる欠損がなく、表面電極104との接地不良が防止できる(第1図(c))。

なお、上記実施例は真空容器内にて行なう減圧処理を、ホトレジスト液滴下後に適用した場合を例示したが、半導体基板に対する高速回転後に適用しても有効である。さらにはバイアホールの形状、大きさとホトレジストの性状によっては上記を併せ施してもよい。

(発明の効果)

以上述べたように本発明によれば、ホトレジストで全面を被覆した半導体基板を真空容器中で排気するためバイアホール内に生じる気泡がホトレジスト液中を通して除去されるため凹部にホトレジストを充填させることが出来、そのため凹部のホトレジスト塗布不良を防止出来る。上記実施例に於いてはバイアホールが形成された半導体基

板上にホトレジストを塗布する場合について例示したが、本発明はこれに限定されるものではなく例えば半導体基板上に SiO_2 膜を形成し、該 SiO_2 膜の一部に凹部が設けられた場合にも適用できる。また半導体基板の回転速度やホトレジストのベーキング温度、時間等にも制約されない。

4. 図面の簡単な説明

第1図(a)~(c)は本発明の一実施例を工程順に示すいずれも断面図、第2図(a)~(c)は従来例を工程順に示すいずれも断面図である。

10…真空容器、

11、105…裏面電極、

12、202…硬化したホトレジスト層、

12a…パイアホール内のホトレジスト、

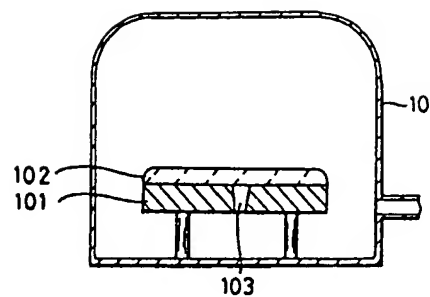
101…半導体基板、

102…ホトレジスト、

103…パイアホール、

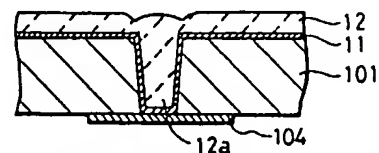
104…表面電極。

(a)



10 : 真空容器

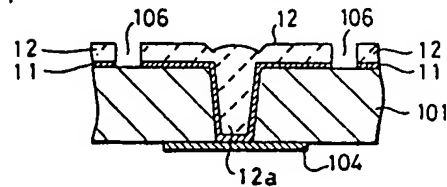
(b)



11 : 裏面電極 12 : 硬化したホトレジスト層

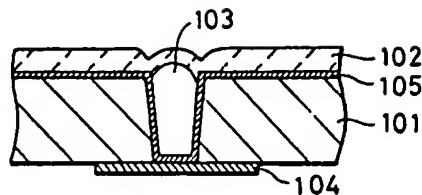
12a : パイアホール内のホトレジスト

(c)



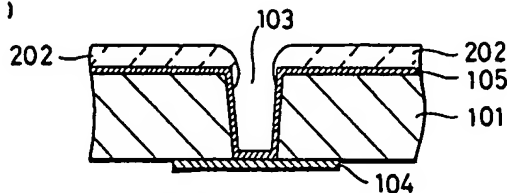
第 1 図

(a)



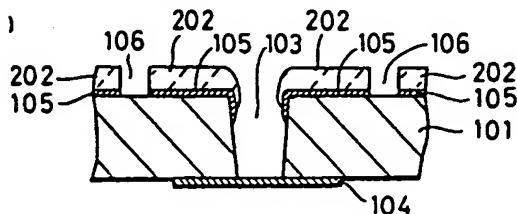
101 : 半導体基板 102 : ホトレジスト
103 : パイアホール 104 : 表面電極
105 : 裏面電極

(b)



202 : 硬化したホトレジスト層

(c)



106 : スクライプライン領域

第 2 図